

Digital III

Kit Intel 80C86

METODOLOGIA

- **DISEÑO DE SOFTWARE**

- ANALISIS CIRCUITO

- GENERACION DE DIAGRAMA DE FLUJO

- **CODIGO FUENTE (TASM y TLINK)**

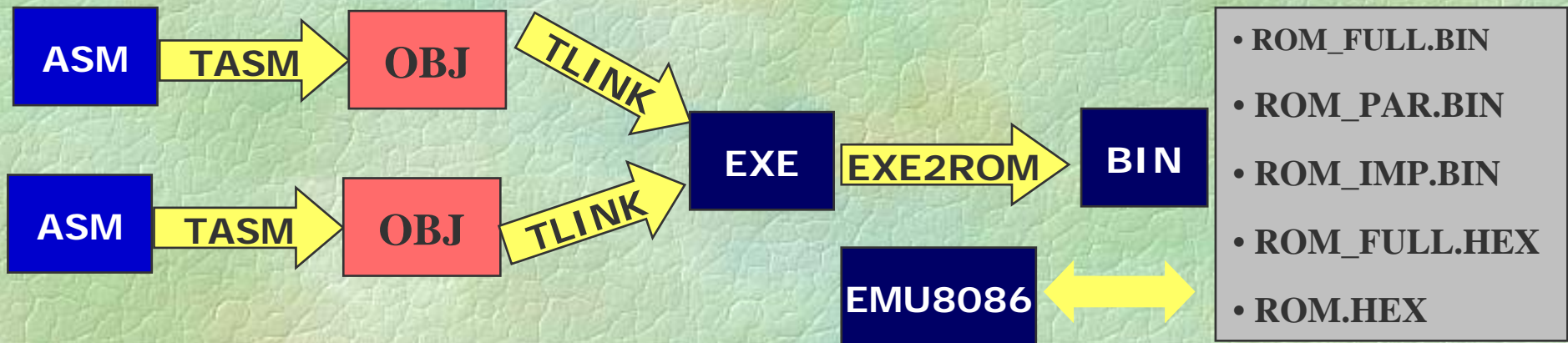
- PROGRAMACION MODULOS ASM

- LINKING

- **DEPURACION PARCIAL (EMU8086)**

- **VERIFICACION (Kit Intel 80C86)**

PROCESO DE COMPI LACION



ROM.HEX → **Kit 8086**



→ **Puerto Serie**



EL KIT i80C86

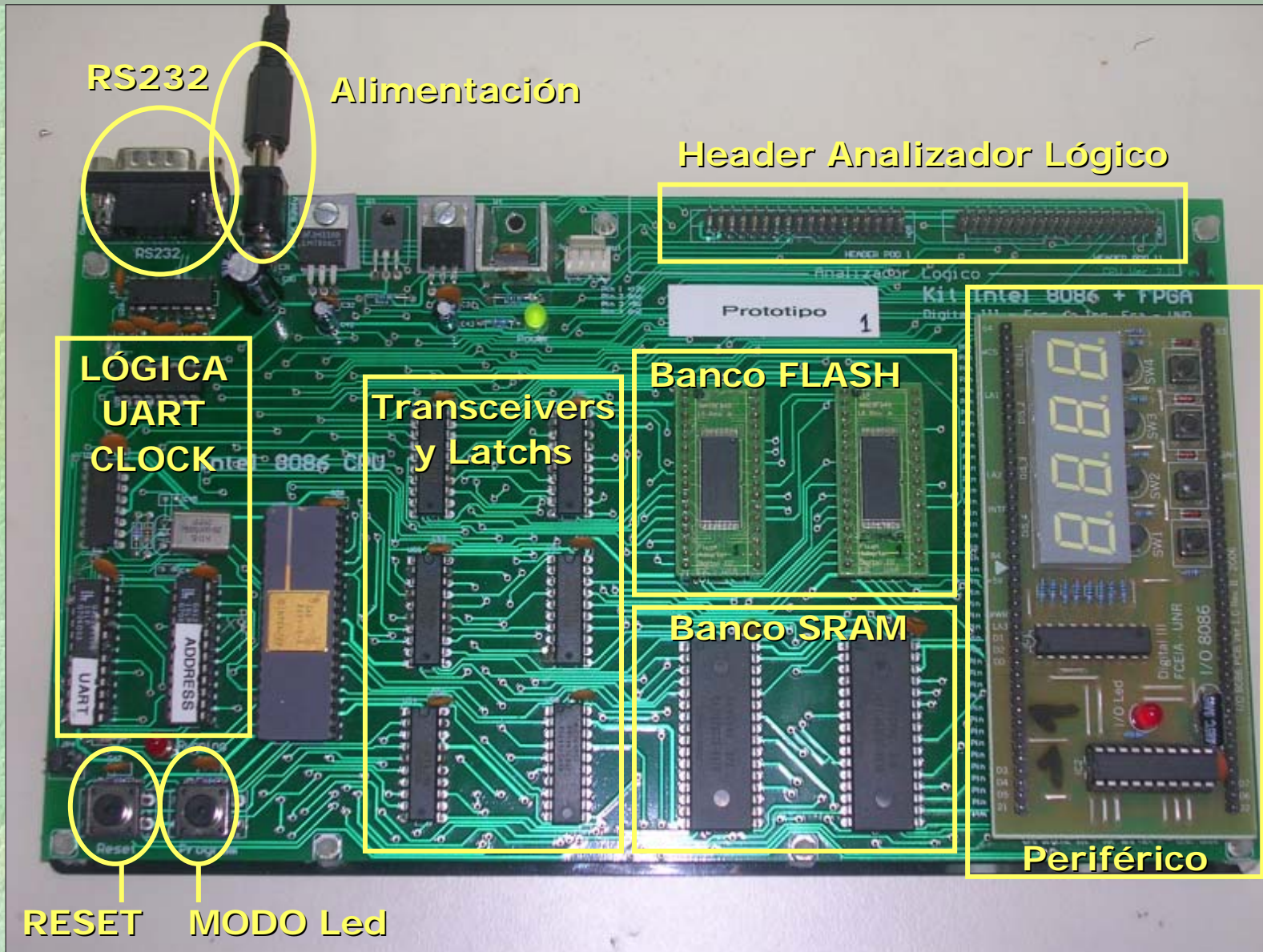


Diagrama de Bloques Kit

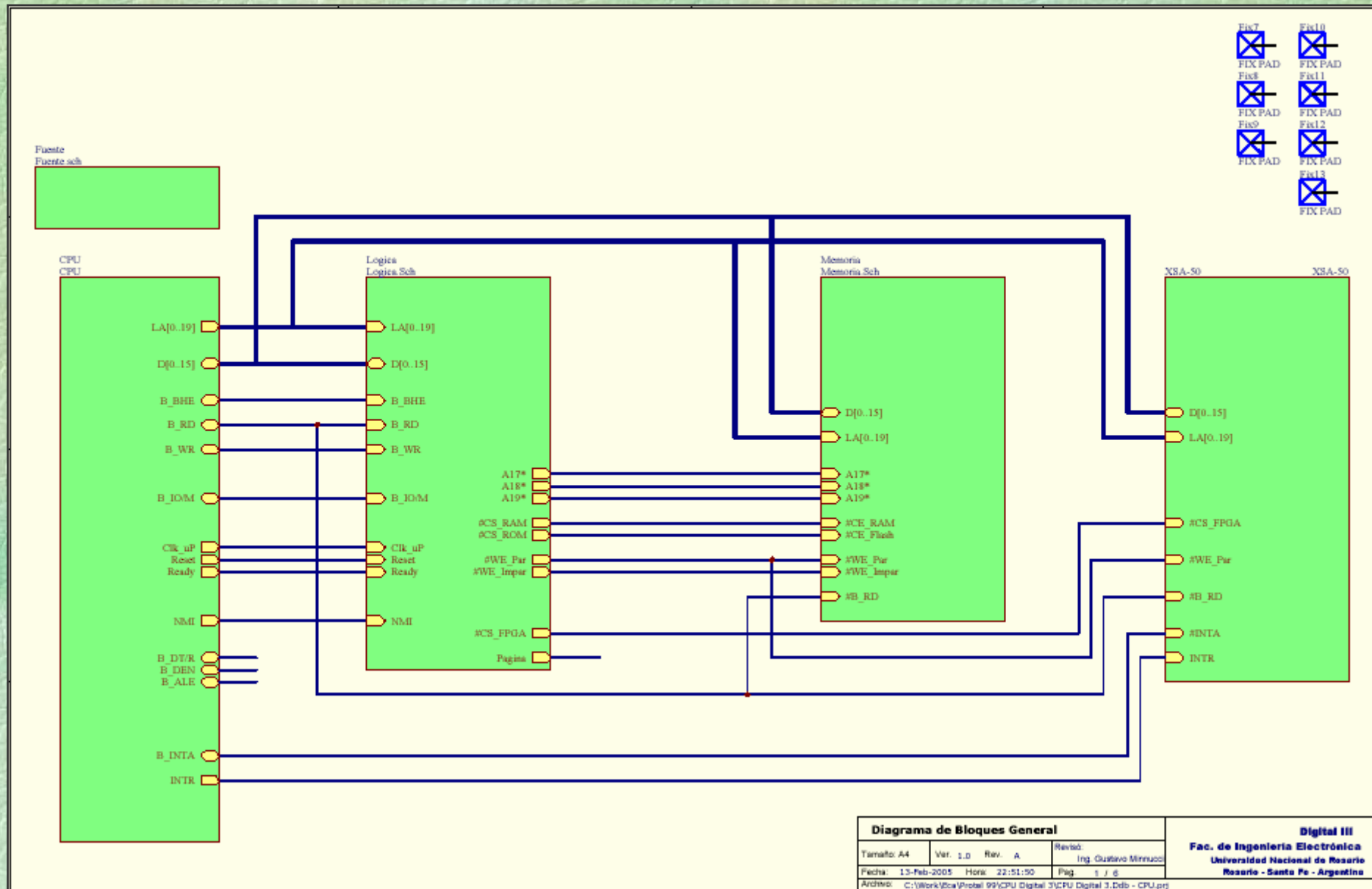
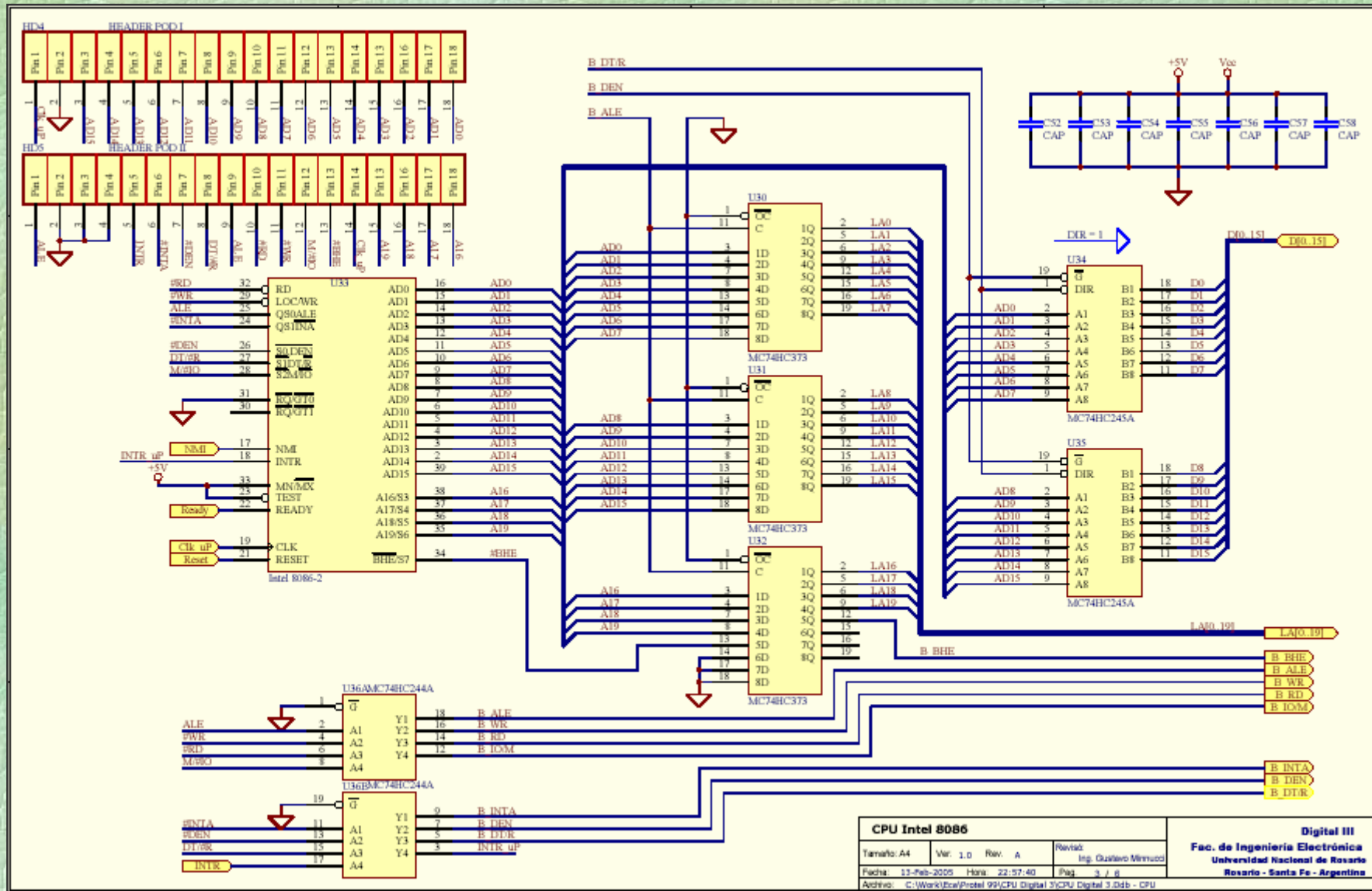
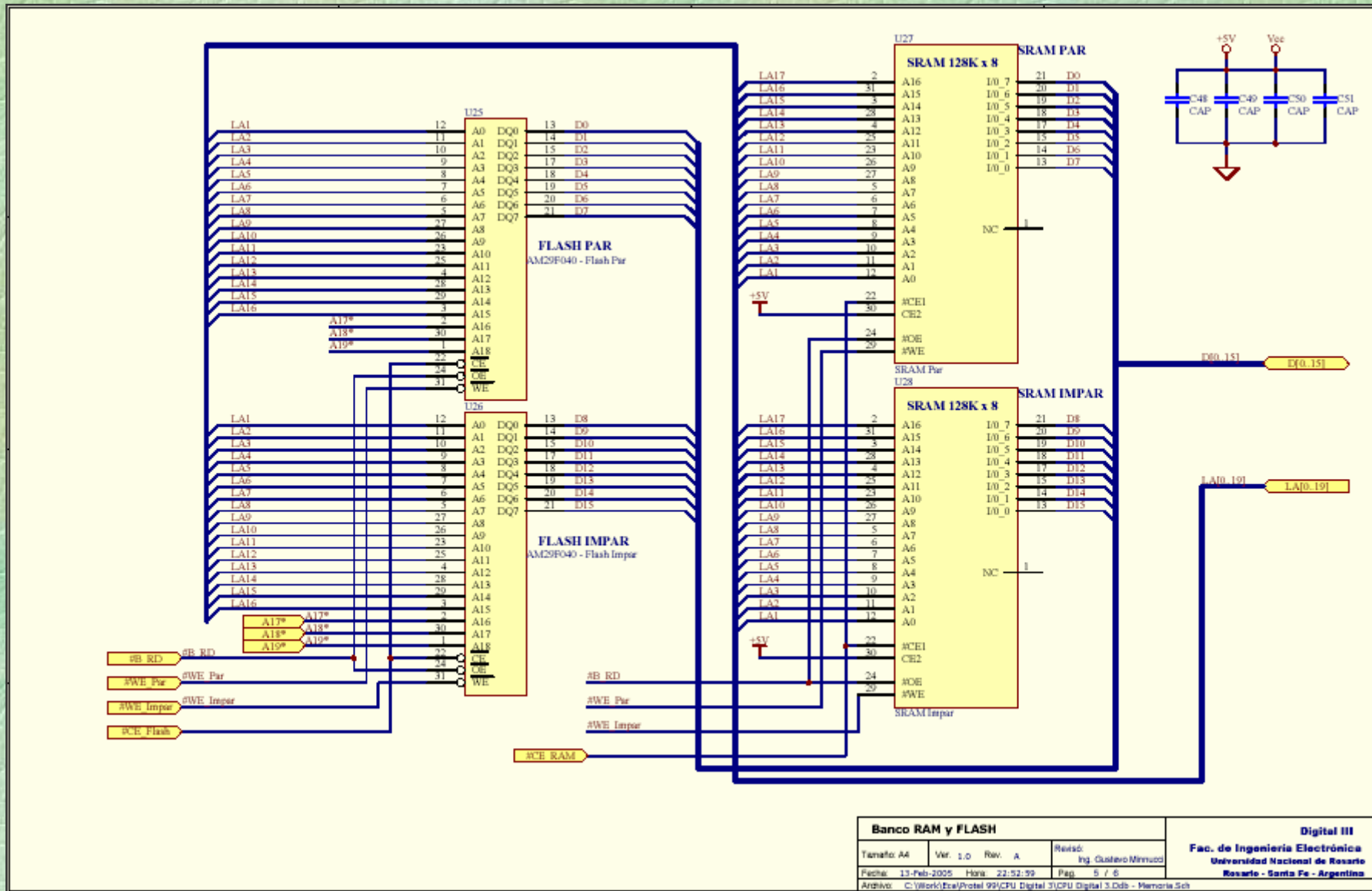


Diagrama de Bloques General				Digital III	
Tamaño: A4	Ver: 1.0	Rev: A	Revisó:	Ing. Gustavo Minnucci	
Fecha: 13-Feb-2005	Hora: 22:51:50	Pág: 1 / 6	Fac. de Ingeniería Electrónica		
Archivo: C:\Work\Ica\Protal 99\CPU Digital 3\CPU Digital 3.Ddb - CPU.prj			Universidad Nacional de Rosario		
			Rosario - Santa Fe - Argentina		

CPU

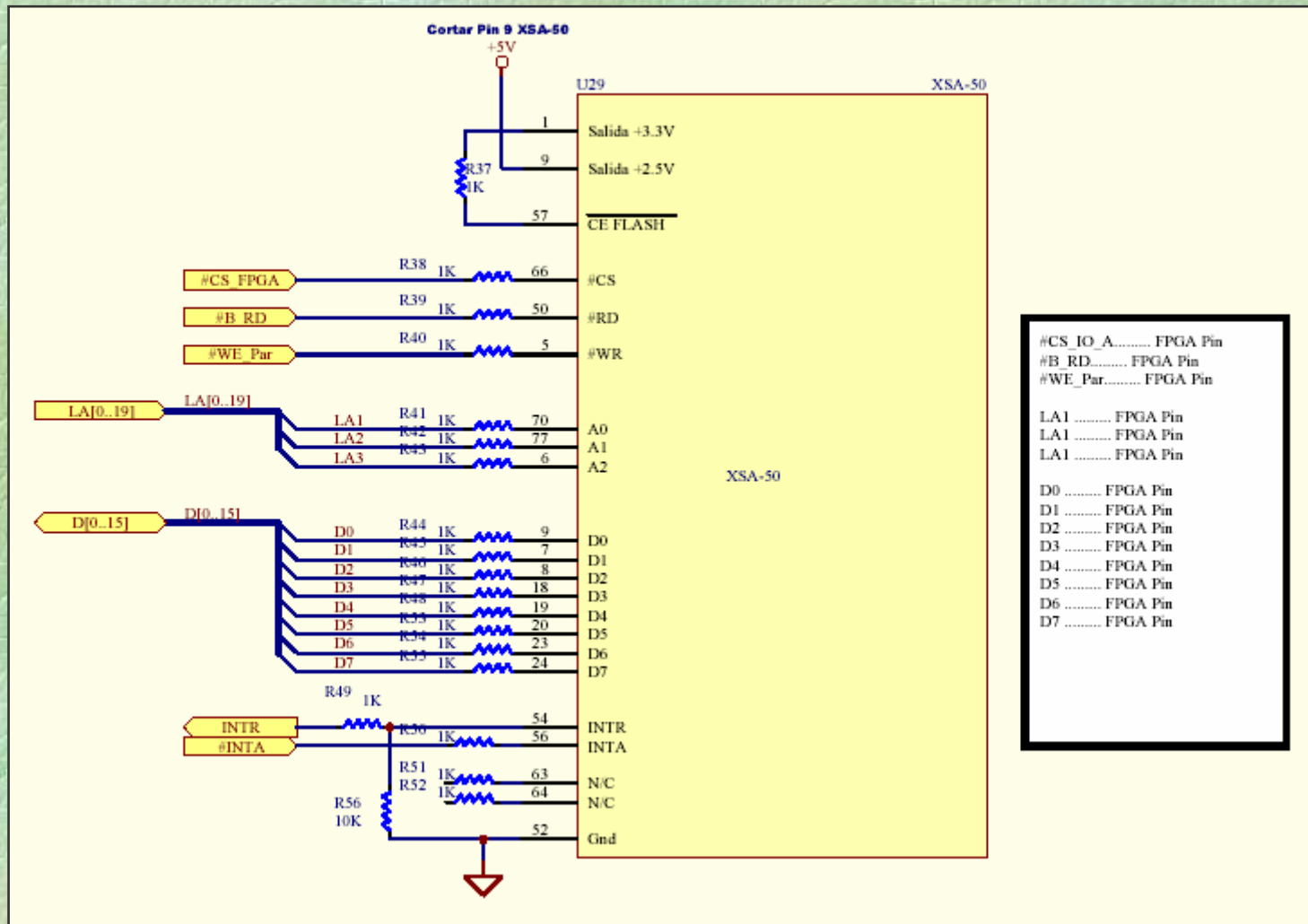


Banco Memoria FLASH - SRAM

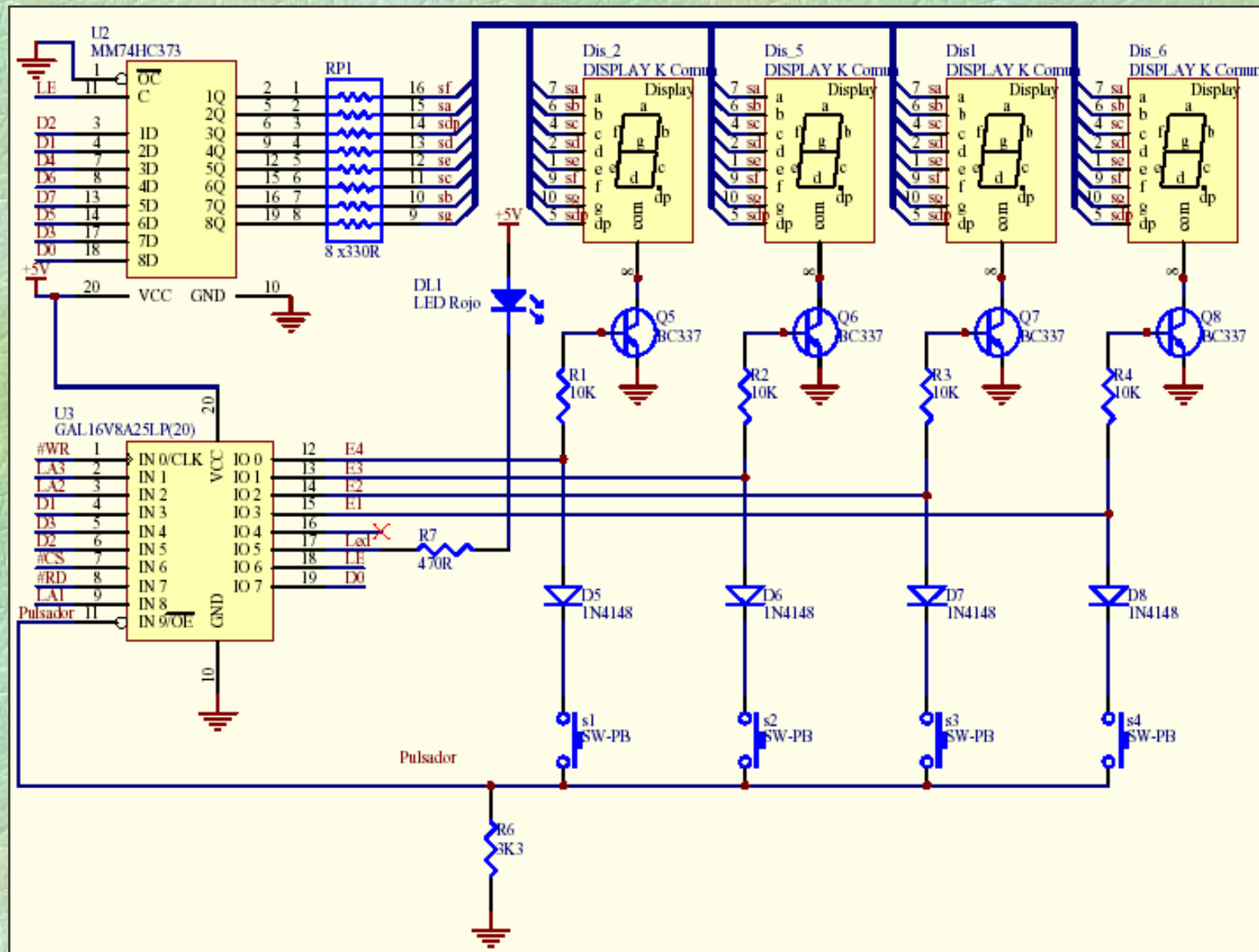


Banco RAM y FLASH				Digital III	
Tamaño: A4	Ver: 1.0	Rev: A	Revisó:	Ing. Gustavo Minnucci	
Fecha: 13-Feb-2005	Hora: 22:52:59	Página: 5 / 6			
Archivo: C:\Work\Etal\Protel 99\CPU Digital 3\CPU Digital 3.Ddb - Memoria.Sch			Fac. de Ingeniería Electrónica Universidad Nacional de Rosario Rosario - Santa Fe - Argentina		

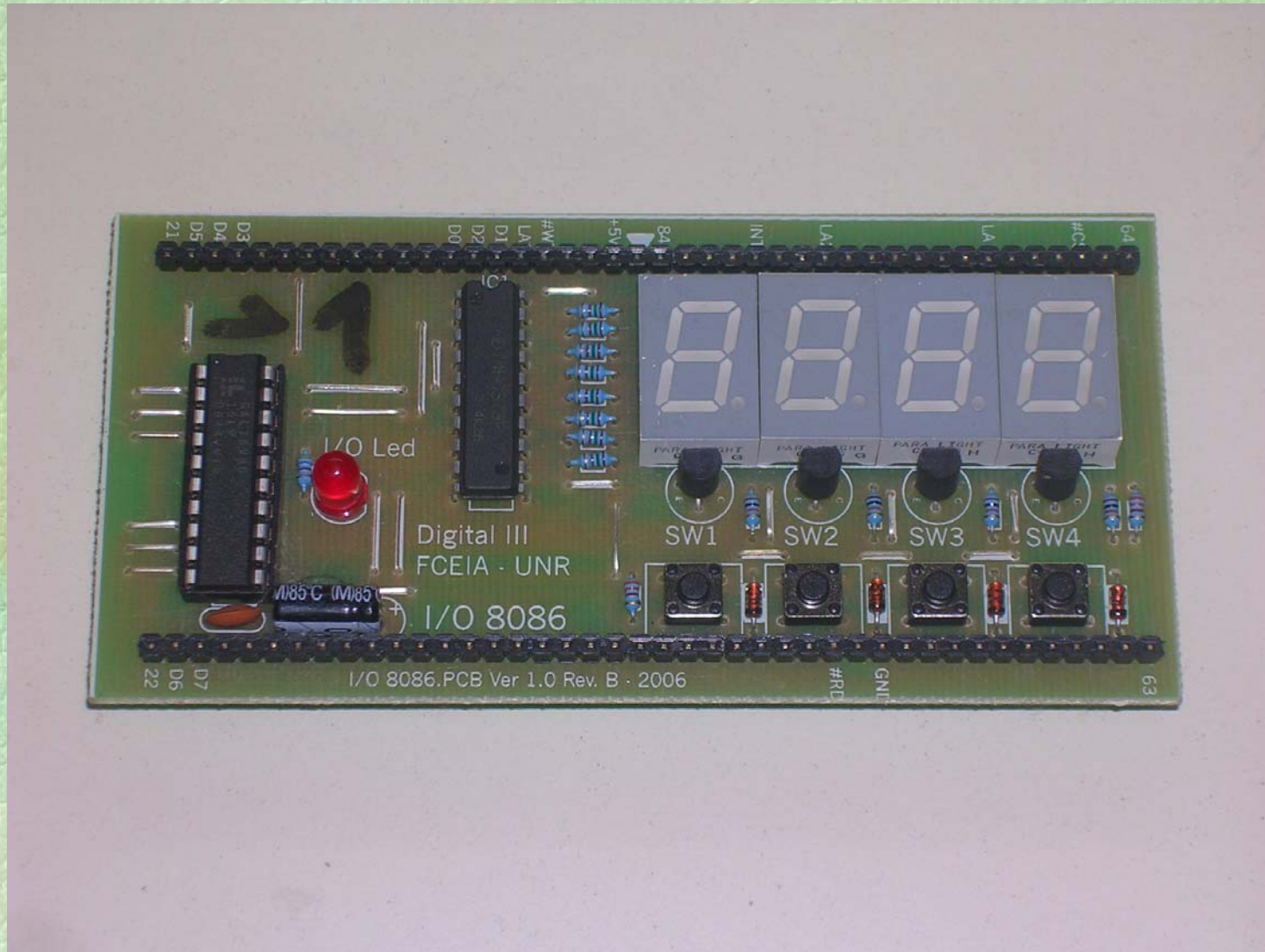
Zócalo I/O



Interfase Display - Pulsadores



Interfase Display - Pulsadores



MAPA DE MEMORIA Y MAPA DE I/O

MAPA de Memoria

Modo SUPERUSUARIO

PRG / RUN = '0' >>> PROG		
Dispositivo	Dir. uP	CS Activo
Bootloader (128K)	0xFFFFF 0xE0000	FLASH
Usuario (128K)	0xDFFFF 0xC0000	FLASH
Usuario (128K)	0xBFFFF 0xA0000	FLASH
Usuario (128K)	0x9FFFF 0x80000	FLASH
Pagina 1 (128K)	0x7FFFF 0x60000	FLASH
Pagina 1 (128K)	0x5FFFF 0x40000	FLASH
Pagina 0 (128K)	0x7FFFF 0x60000	FLASH
Pagina 0 (128K)	0x5FFFF 0x40000	FLASH
RAM High (128K)	0x3FFFF 0x20000	RAM
RAM Low (128K)	0x1FFFF 0x00000	RAM

Dispositivo	Dir. uP	CS Activo
Serial Port (16 K)	0xFFFF 0xC000	CS_SERIAL
Paginador (16 K)	0xBFFF 0x8000	PAGINA
Habilitador NMI (16 K)	0x7FFF 0x4000	NMI_ENABLE
IO FPGA (16 K)	0x3FFF 0x0000	CS_FPGA

MAPA de Memoria

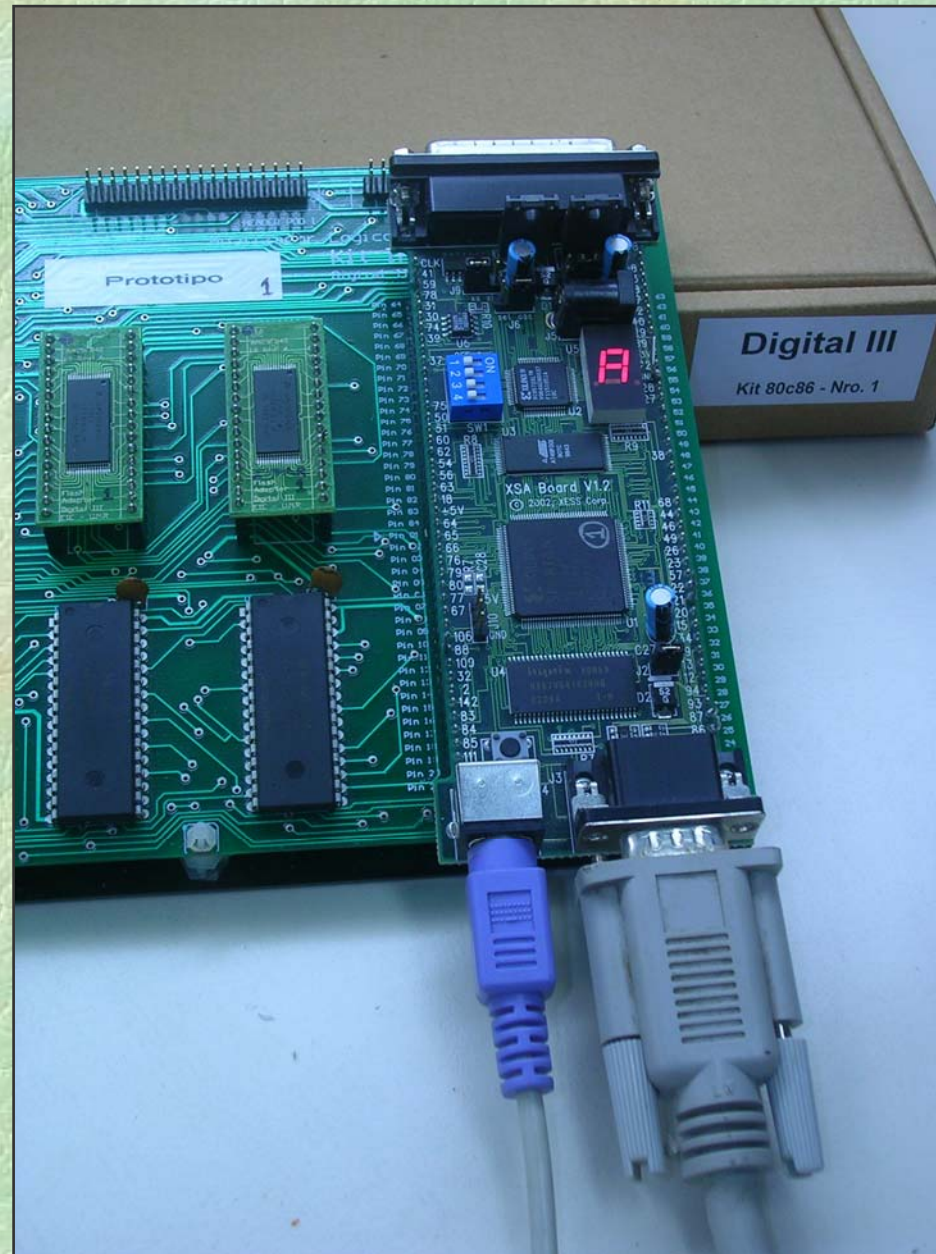
Modo USUARIO

PRG / RUN = '1' >>> RUN		
Dispositivo	Dir. uP	CS Activo
Usuario (128K)	0xFFFFF 0xE0000	FLASH
Usuario (128K)	0xDFFFF 0xC0000	FLASH
Usuario (128K)	0xBFFFF 0xA0000	FLASH
Pagina 1 (128K)	0x9FFFF 0x80000	FLASH
Pagina 1 (128K)	0x7FFFF 0x60000	FLASH
Pagina 0 (128K)	0x9FFFF 0x80000	FLASH
Pagina 0 (128K)	0x7FFFF 0x60000	FLASH
LIBRE (128K)	0x5FFFF 0x40000	LIBRE
RAM High (128K)	0x3FFFF 0x20000	RAM
RAM Low (128K)	0x1FFFF 0X00000	RAM

Dispositivo	Dir. uP	CS Activo
Serial Port (16 K)	0xFFFF 0xC000	CS_SERIAL
Paginador (16 K)	0xBFFF 0x8000	PAGINA
Habilitador NMI (16 K)	0x7FFF 0x4000	NMI_ENABLE
IO FPGA (16 K)	0x3FFF 0x0000	CS_FPGA

OTRAS APLICACIONES BASADAS EN FPGA

Periféricos Programables sobre FPGA



Periféricos Programables sobre FPGA

