

Digital III

Módulo 1: Presentación del curso e introducción al diseño de sistemas de microcómputo.



Escuela de Ingeniería Electrónica
Facultad de Ciencias Exactas Ingeniería y Agrimensura
Universidad Nacional de Rosario

Algunas características de la asignatura

- Es absolutamente necesaria la correlatividad con Informática II y Digital II.
- Clases:
 - Asistir !! (no hay libros de todos los temas)
 - La mayoría de las clases no son expositivas
 - Lunes de 20:30 a 23 y miércoles de 19:30 a 23:00
 - Las actividades son grupales
 - Es importante "llevar la materia al día"

Algunas características de la asignatura

- Se encuentra organizada en cuatro módulos temáticos
 - Arquitectura de sistemas de microcomputo
 - Interrupciones e interfaces de Entrada/Salida
 - Software en sistemas dedicados
 - Autómatas en VHDL
- El cursado se compone de ciclos de afianzamiento teórico, realización de trabajos prácticos y la resolución de problemas de ingeniería. Estas últimas actividades tienen un carácter integrador, ya que completan o perfeccionan la actividad del módulo anterior.

Evaluación

- Se presentará un informe la clase siguiente a la última clase de resolución de cada trabajo práctico o problema de ingeniería.
- Dos exámenes parciales teórico prácticos. Cada uno evalúa los conocimientos y habilidades adquiridas durante el desarrollo de dos módulos.
- Examen Final
 - Promovido: Examen teórico de los contenidos no evaluados en parciales.
 - CI: Examen teórico práctico escrito integrador de todos los contenidos del año.
 - Libre: Rinde el mismo examen de CI. Luego, será evaluado sobre los PI o TP desarrollados el último año de cursado.

Bibliografía

- Los microprocesadores INTEL Barry B. Bray - ISBN: 968-880-481-9
- Introducción al microprocesador 8086/8088 C. Morgan - ISBN: 968-451-628-2
- Página de la asignatura: www.eie.fceia.unr.edu.ar/digital3

Modulo 1: Introducción a los sistemas de microcómputo

Modulo 1: Introducción a los sistemas de microcómputo

- Estudiaremos *sistemas embebidos* que no poseen sistema operativo.

Modulo 1: Introducción a los sistemas de microcómputo

- Estudiaremos *sistemas embebidos* que no poseen sistema operativo.
- Estos sistemas embebidos serán implementados con *microprocesadores*.

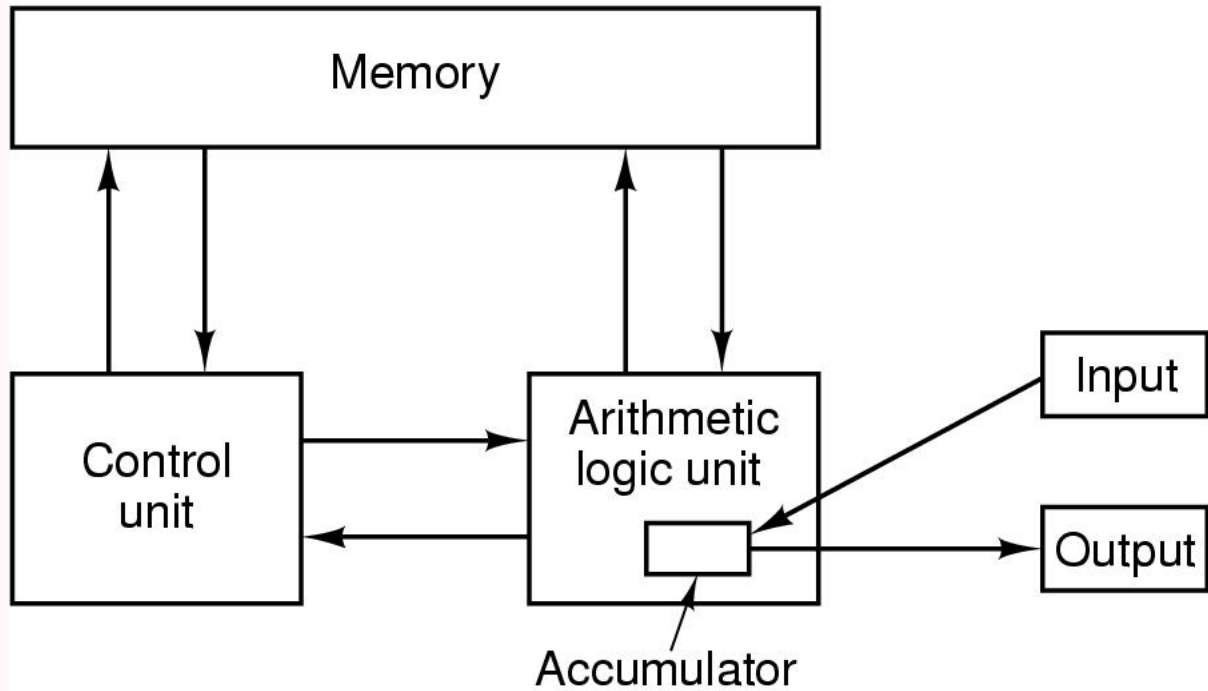
Modulo 1: Introducción a los sistemas de microcómputo

- Estudiaremos *sistemas embebidos* que no poseen sistema operativo.
- Estos sistemas embebidos serán implementados con *microprocesadores*.
- El microprocesador elegido es el *8086*

El módulo 1 incluye:

- Un breve repaso acerca de microprocesadores
- El procesador 8086
 - Terminales y sus funciones
 - Modelo de ejecución
 - Modelo de memoria
 - Modos de direccionamiento
 - Conexión física de la memoria
 - Temporización de los buses
 - Circuito para funcionamiento en modo mínimo

Arquitectura de Von Neumann

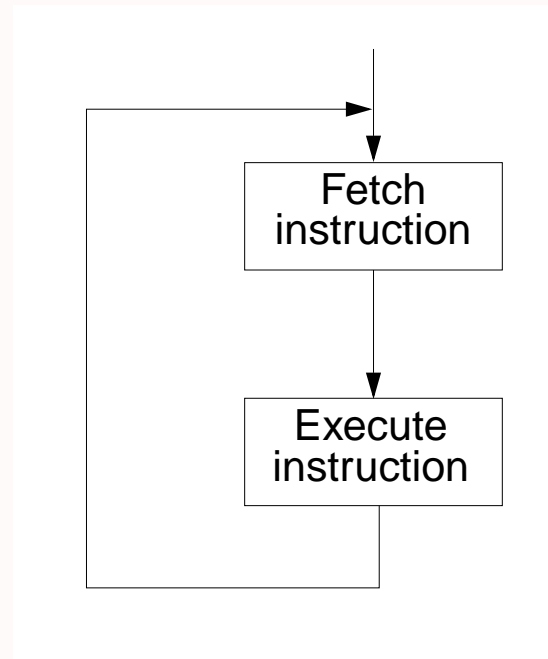


Arquitectura de Von Neumann

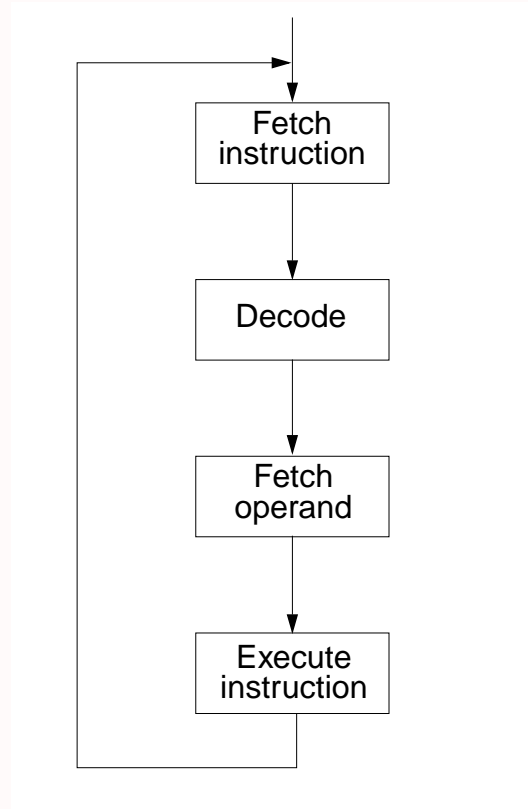
El modelo de ejecución es muy simple:

- Buscar en la memoria la primera instrucción.
- Ejecutarla en la unidad aritmético-lógica.
- Buscar en la memoria la siguiente instrucción ...
- Continuar así hasta encontrar una instrucción de finalización del programa o una instrucción de salto

Modelo de ejecución



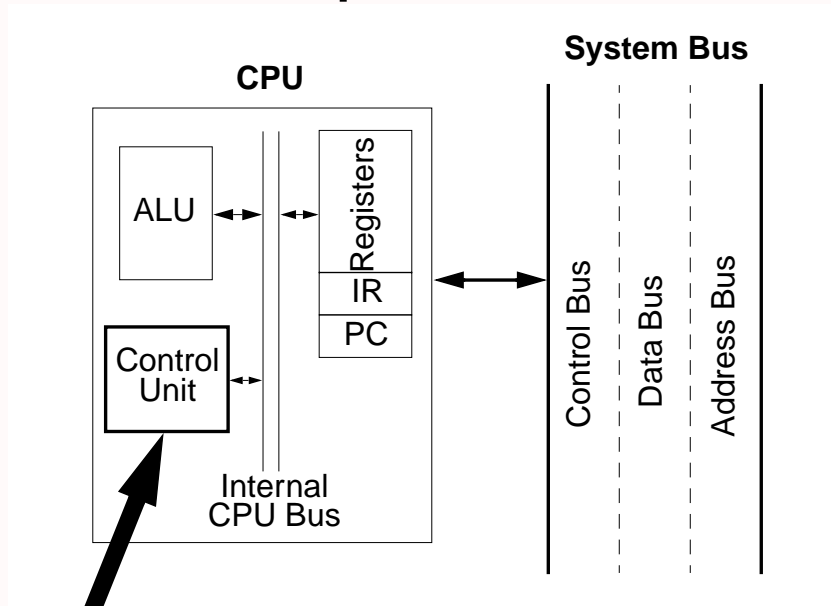
con algo más de detalle...



Microprocesador

- Es un concepto tecnológico.
- Nace cuando se incluye la unidad de control, la ALU y algunos registros dentro de un único circuito integrado.
- Recientemente aparece el concepto de microcontrolador, donde también la memoria se integra dentro del mismo chip.

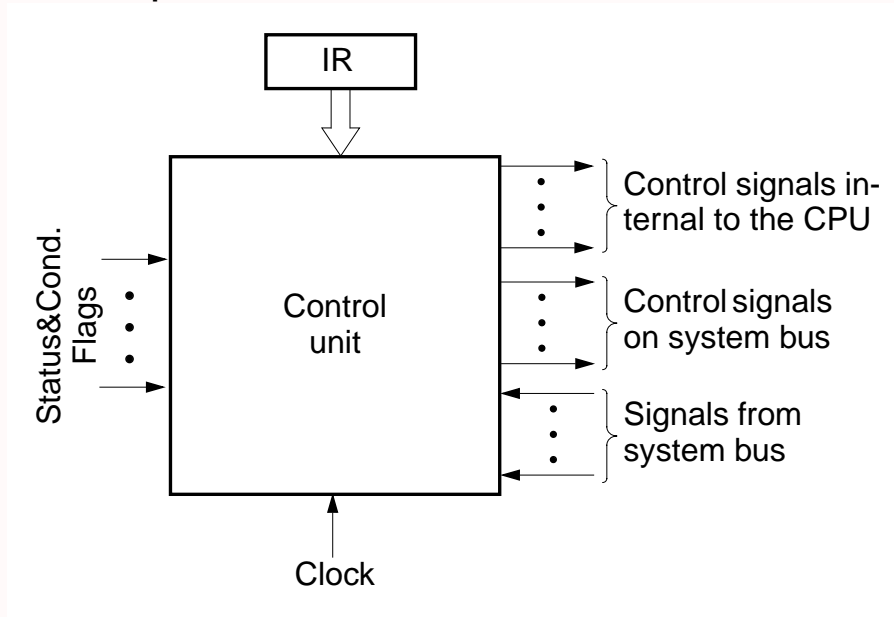
Microprocesador



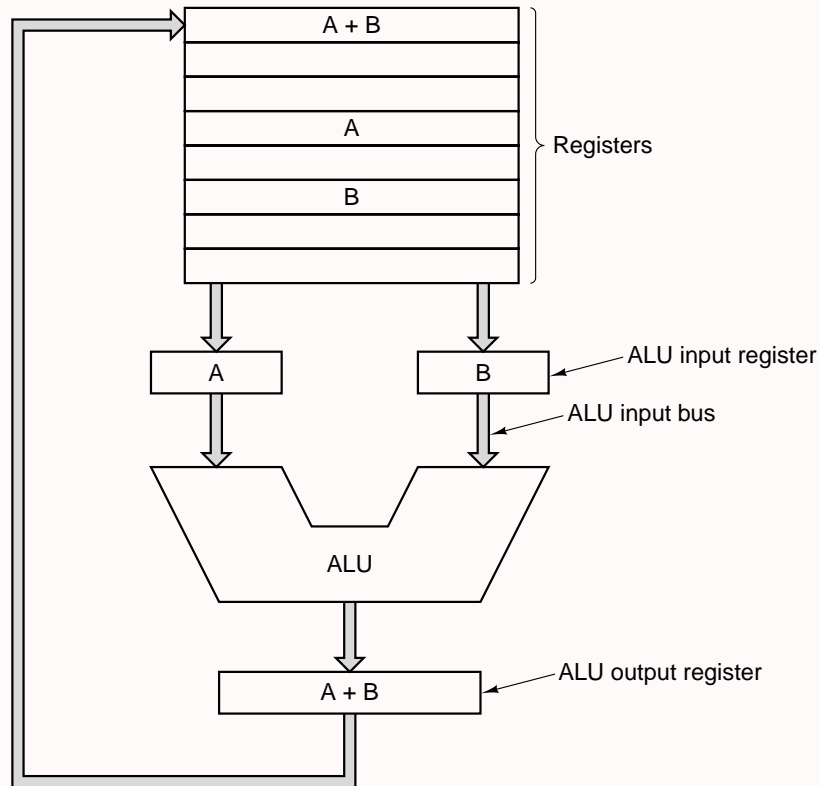
La unidad de control es la encargada de hacer ejecutar las instrucciones

Unidad de control

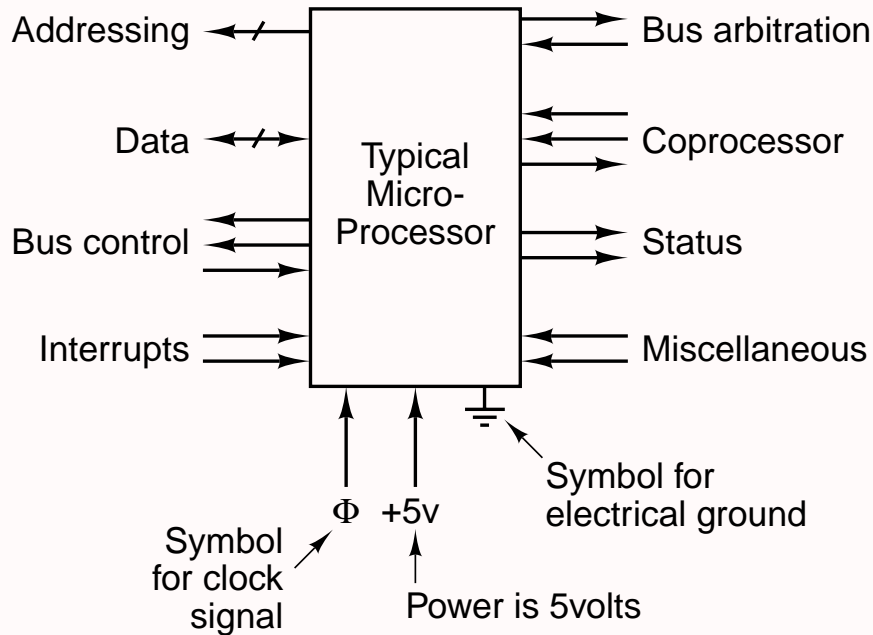
Genera la secuencia de señales de control que permiten realizar las distintas operaciones elementales de cada instrucción



Unidad aritmético-lógica



Microprocesador actual



El procesador 8086

El procesador 8086

- Responde a la arquitectura de Von Neumann y su modelo de ejecución es reg-reg y reg-mem.

El procesador 8086

- Responde a la arquitectura de Von Neumann y su modelo de ejecución es reg-reg y reg-mem.
- Los registros internos visibles al programador son de uso específico.

El procesador 8086

- Responde a la arquitectura de Von Neumann y su modelo de ejecución es reg-reg y reg-mem.
- Los registros internos visibles al programador son de uso específico.
- Es un microprocesador de 16 bits.

El procesador 8086

- Responde a la arquitectura de Von Neumann y su modelo de ejecución es reg-reg y reg-mem.
- Los registros internos visibles al programador son de uso específico.
- Es un microprocesador de 16 bits.
- El bus de datos es de 16 bits.

El procesador 8086

- Responde a la arquitectura de Von Neumann y su modelo de ejecución es reg-reg y reg-mem.
- Los registros internos visibles al programador son de uso específico.
- Es un microprocesador de 16 bits.
- El bus de datos es de 16 bits.
- El bus de direcciones es de 20 bits, capaz de direccionar 1MByte de memoria.

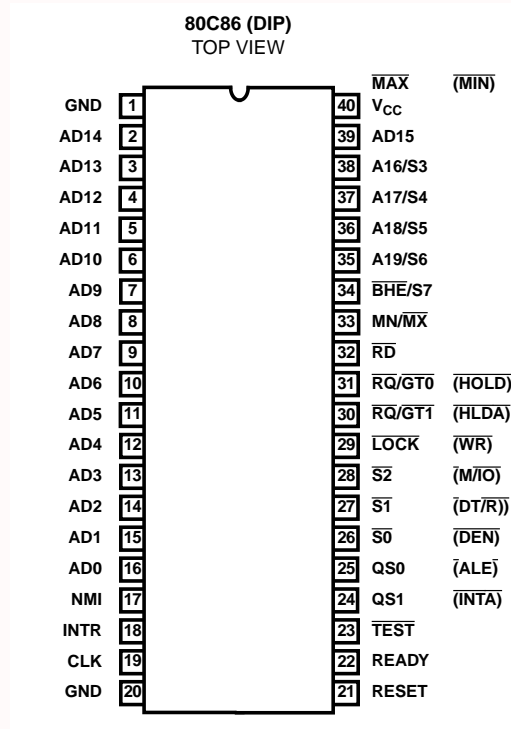
El procesador 8086

- Responde a la arquitectura de Von Neumann y su modelo de ejecución es reg-reg y reg-mem.
- Los registros internos visibles al programador son de uso específico.
- Es un microprocesador de 16 bits.
- El bus de datos es de 16 bits.
- El bus de direcciones es de 20 bits, capaz de direccionar 1MByte de memoria.
- Los espacios de direcciones para memoria y E/S son distintos y accesibles con instrucciones diferentes.

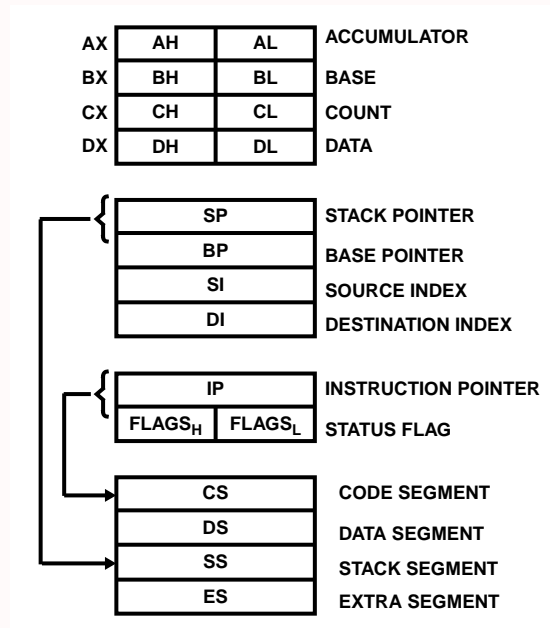
El procesador 8086

- Responde a la arquitectura de Von Neumann y su modelo de ejecución es reg-reg y reg-mem.
- Los registros internos visibles al programador son de uso específico.
- Es un microprocesador de 16 bits.
- El bus de datos es de 16 bits.
- El bus de direcciones es de 20 bits, capaz de direccionar 1MByte de memoria.
- Los espacios de direcciones para memoria y E/S son distintos y accesibles con instrucciones diferentes.
- La era de la computadoras personales comenzó con el 8086 e inició la familia x86.

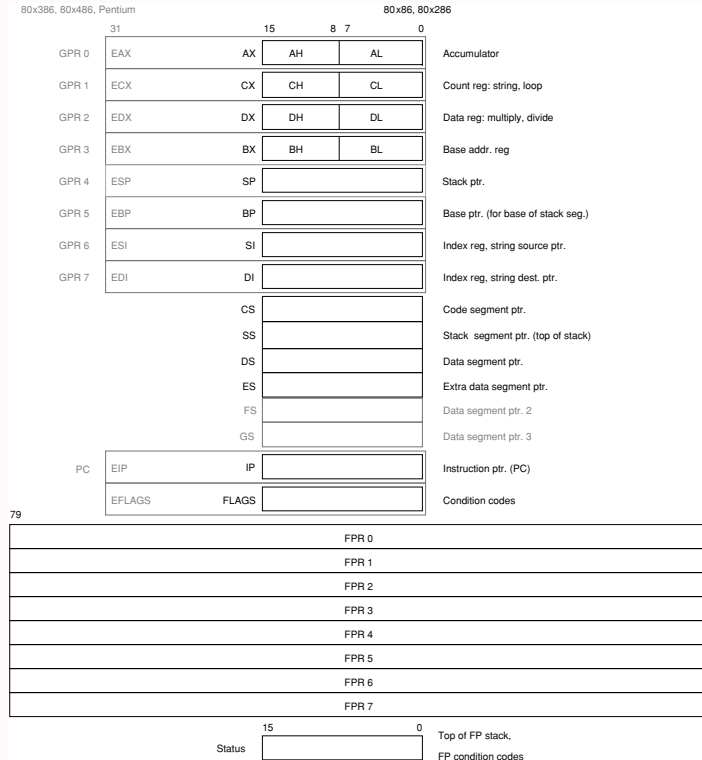
El procesador 8086



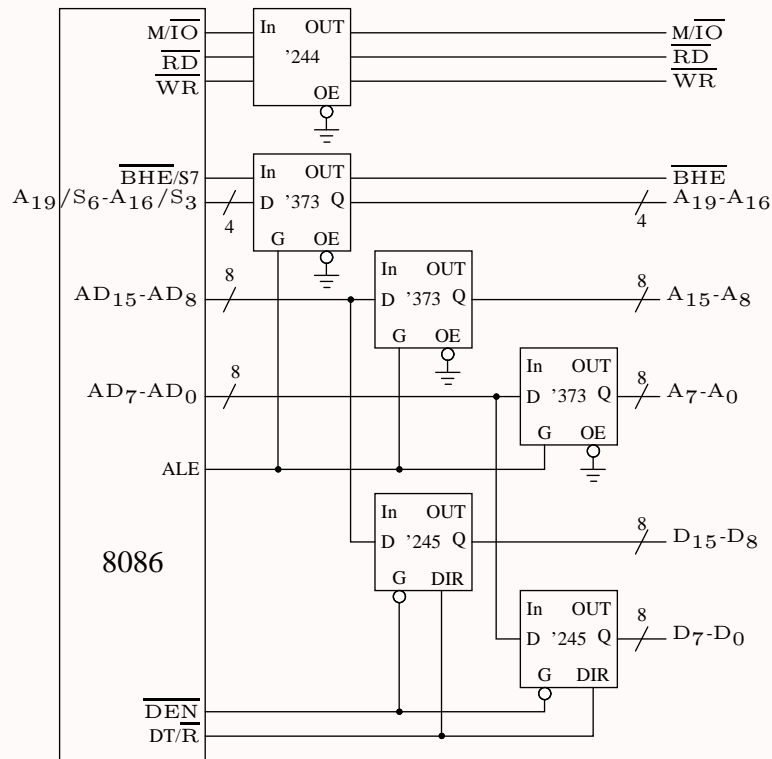
Registros visibles al programador



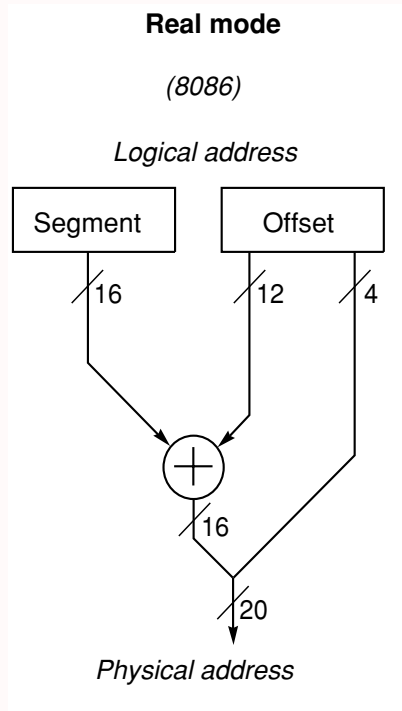
Registros extendidos



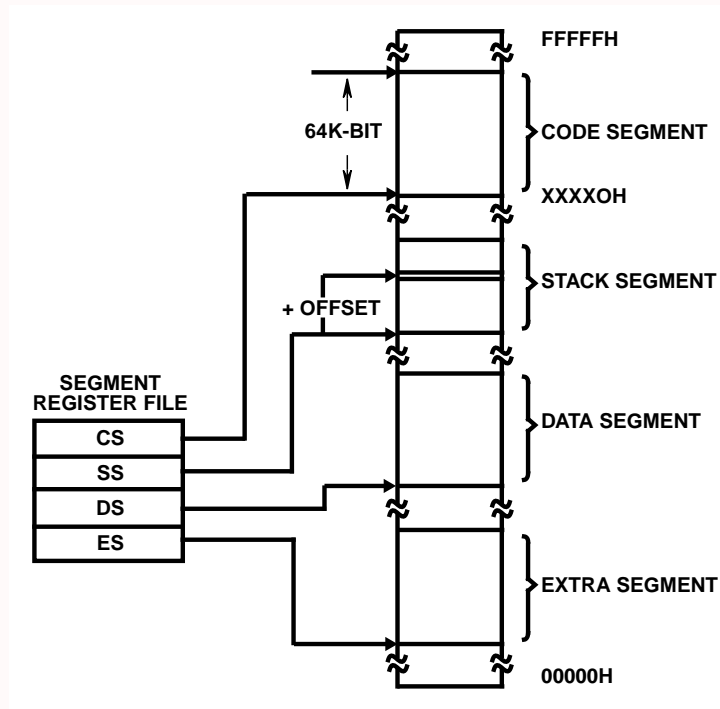
Ejemplo de circuito con 8086



¿Cómo se accede a la memoria?



¿Cómo se accede a la memoria?



¿Cómo se accede a la memoria?

TYPE OF MEMORY REFERENCE	DEFAULT SEGMENT BASE	ALTERNATE SEGMENT BASE	OFFSET
Instruction Fetch	CS	None	IP
Stack Operation	SS	None	SP
Variable (except following)	DS	CS, ES, SS	Effective Address
String Source	DS	CS, ES, SS	SI
String Destination	ES	None	DI
BP Used As Base Register	SS	CS, DS, ES	Effective Address

Modos de direccionamiento

- Un *modo de direccionamiento* es un procedimiento que permite determinar la ubicación de los operandos de una instrucción.
- Algunos modos de direccionamiento permiten escribir *código reubicable y reentrante*, y lograr un manejo eficiente de estructuras de datos.
- Una clasificación general incluye direccionamientos *inmediato, directo, indirecto y relativo*.

Algunos ejemplos

Algunos ejemplos

```
MOV AX,0
```

Algunos ejemplos

```
MOV AX,0
```

```
MOV AX,[0]
```

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

MOV AX,[DX]

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

MOV AX,[DX] muy mal, no existe !!!

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

MOV AX,[DX] muy mal, no existe !!!

MOV [4220h],0

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

MOV AX,[DX] muy mal, no existe !!!

MOV [4220h],0 ¿ Un byte o una palabra?.

MOV BYTE PTR [4220h],0

MOV WORD PTR [4220h],0

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

MOV AX,[DX] muy mal, no existe !!!

MOV [4220h],0 ¿ Un byte o una palabra?.

MOV BYTE PTR [4220h],0

MOV WORD PTR [4220h],0

MOV DH,[SI+2]

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

MOV AX,[DX] muy mal, no existe !!!

MOV [4220h],0 ¿ Un byte o una palabra?.

MOV BYTE PTR [4220h],0

MOV WORD PTR [4220h],0

MOV DH,[SI+2]

MOV [BX+SI-2],CX

Algunos ejemplos

MOV AX,0

MOV AX,[0]

MOV AX,[BX]

MOV AX,[DX] muy mal, no existe !!!

MOV [4220h],0 ¿ Un byte o una palabra?.

MOV BYTE PTR [4220h],0

MOV WORD PTR [4220h],0

MOV DH,[SI+2]

MOV [BX+SI-2],CX

MOV ES:[DI],AL

Modos de direccionamiento del 8086

- Direccionamiento por registro: MOV CX,DX
- Direccionamiento inmediato: MOV AL,22H
- Direccionamiento directo: MOV CX,LIST
- Direccionamiento indirecto por registro: MOV AX,[BX]
- Direccionamiento base e índice: MOV[BX+DI],CL
- Direccionamiento relativo por registro: MOV AX,[BX+4]
- Direccionamiento relativo base más índice: MOV AX,[BX+DI+4]

¿Qué significa mapear un dispositivo?

¿Qué significa mapear un dispositivo?

- El mapeo de un dispositivo de memoria o E/S consiste en asignarle un rango de direcciones dentro del mapa de memoria o Entrada/Salida donde se pueda acceder a sus registros internos.
- La arquitectura Intel posee mapas de memoria y E/S separados
- El Mapa de Memoria es el vínculo entre el software y el hardware.

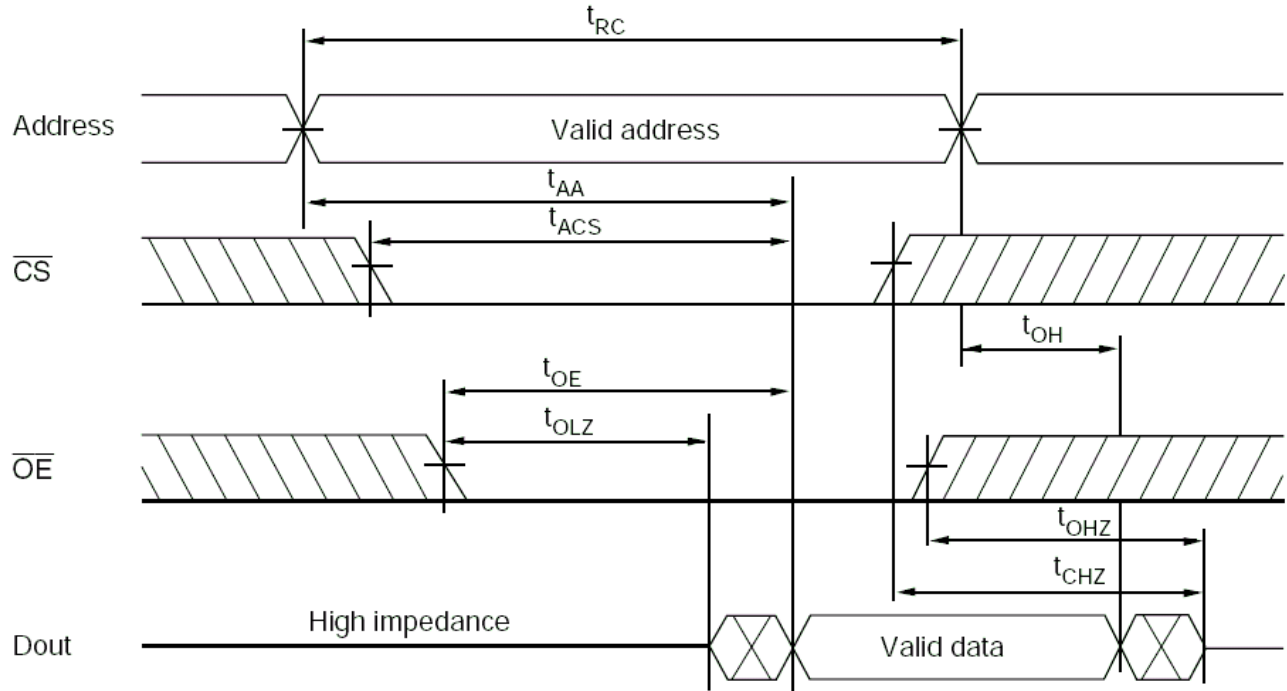
La memoria física del procesador 8086

- Está organizada en dos bancos para permitir la transferencia de 8 bits o 16 bits.
- El banco alto o impar corresponde a las direcciones terminadas en uno, y el banco bajo o par a las terminadas en cero.
- Para seleccionar uno o ambos bancos se emplean la señal BHO y el bit de dirección A0.
- Es necesario producir señales de escritura separada para cada banco de memoria.

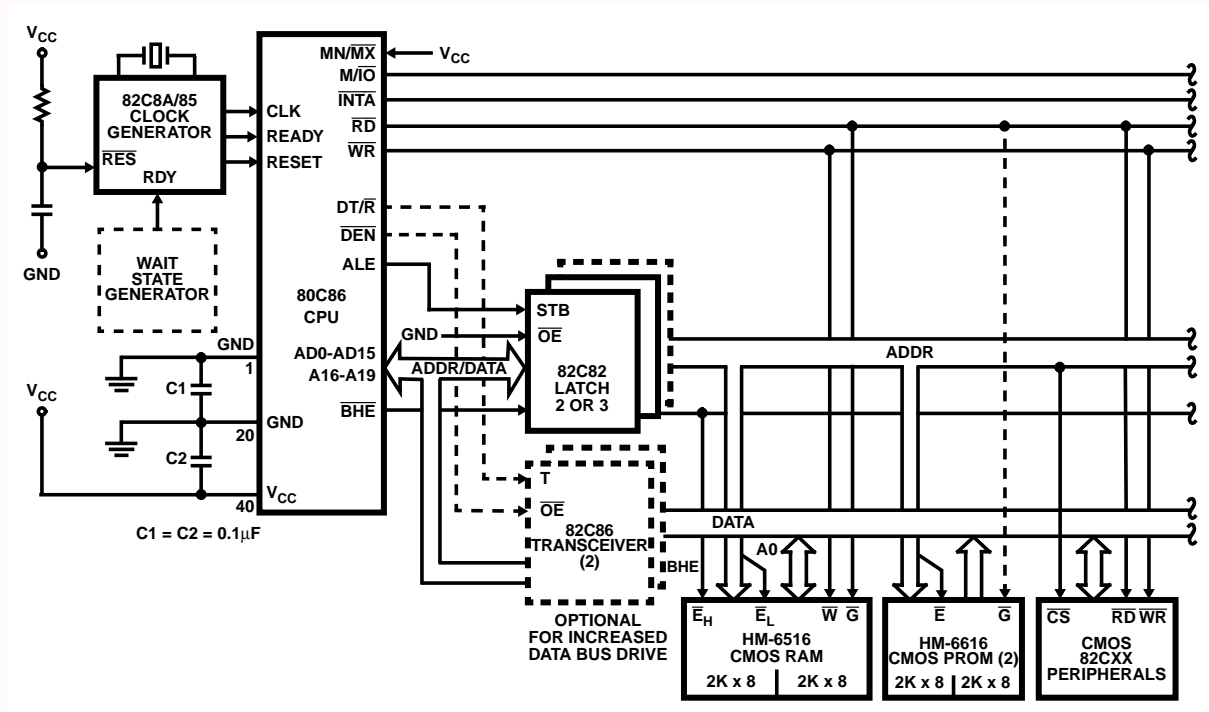
RAM HM62256 (32K x 8)

- Direcciones (A0 a A14).
- Datos (D0 a D7).
- CS, OE, WR, Vcc..
- Es necesario compatibilizar los requerimientos de temporización del procesador y de la memoria.

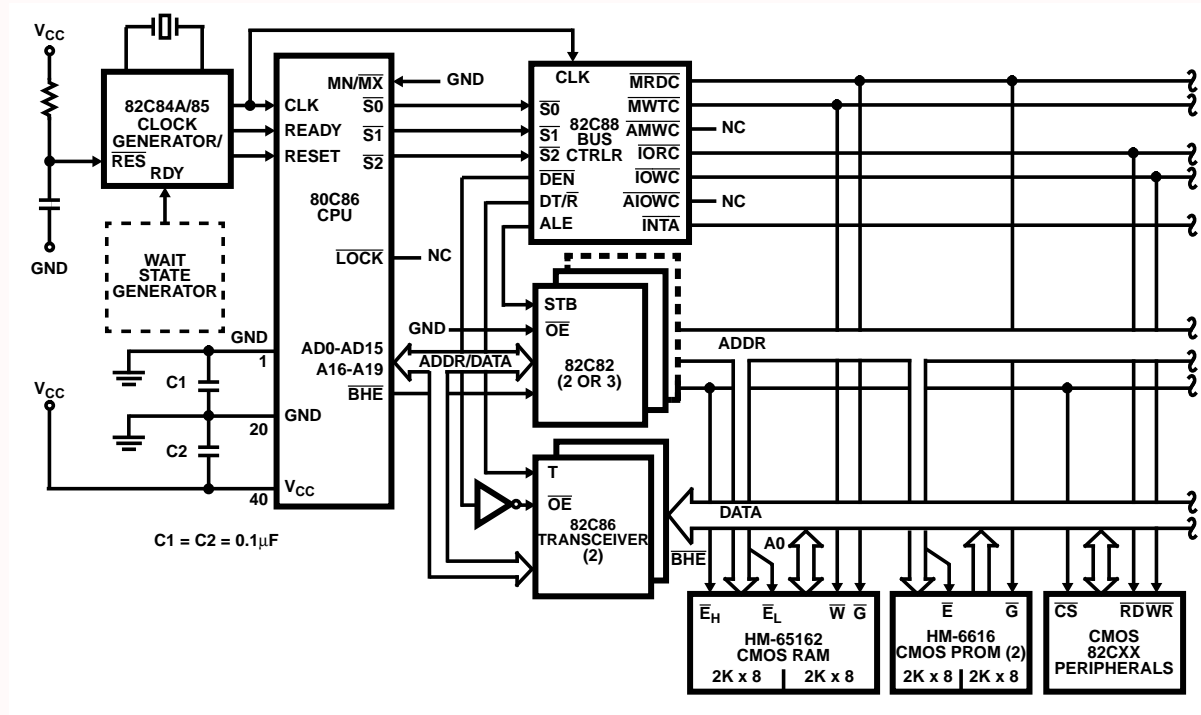
RAM HM62256 (32K x 8)



Circuito (modo mínimo)



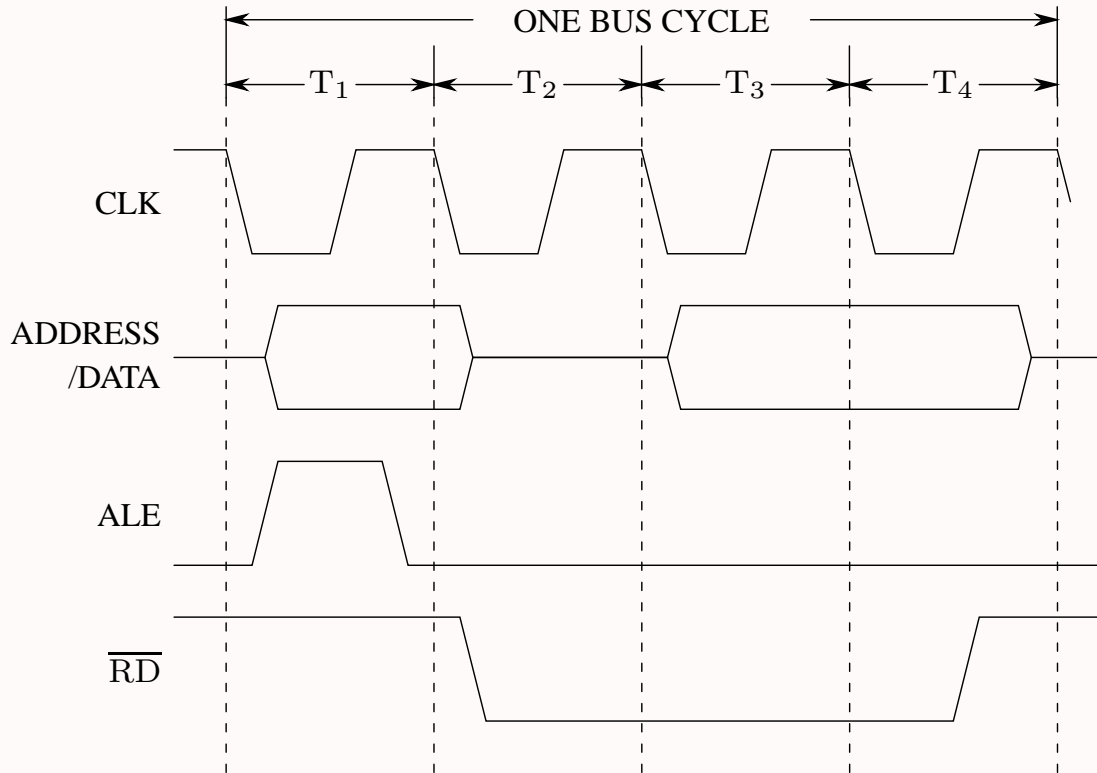
Circuito (modo máximo)



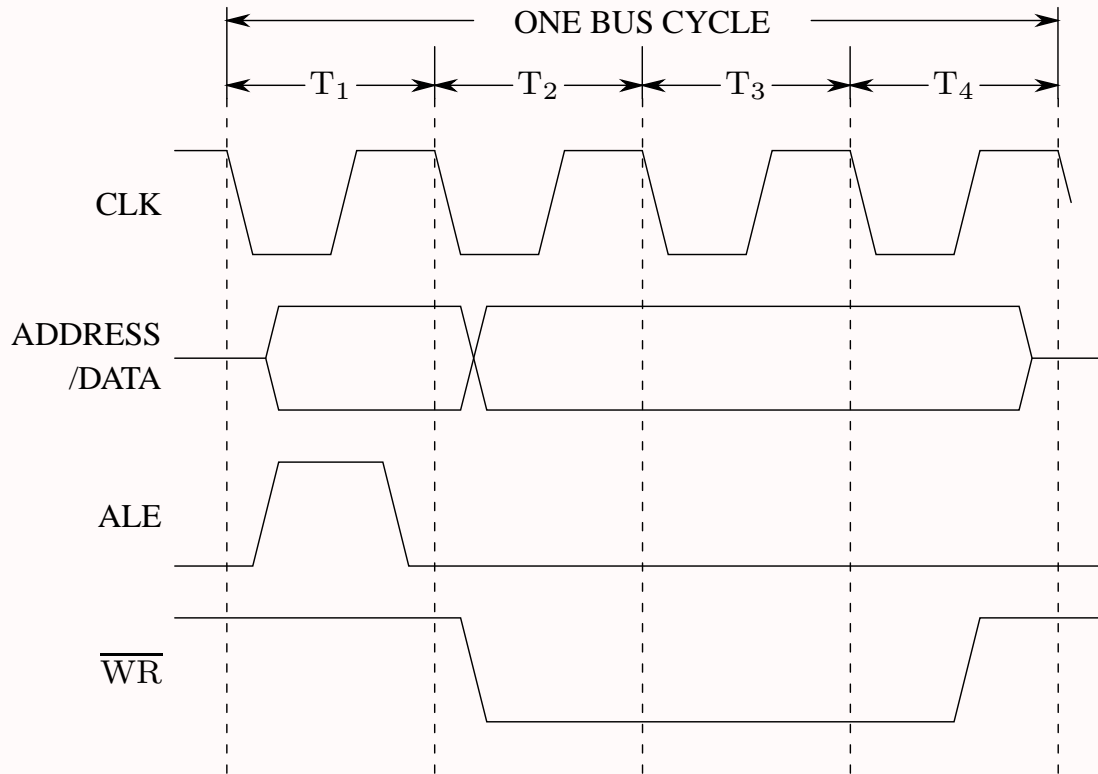
La temporización de bus

- Cada ciclo de bus ocupa cuatro ciclos de reloj: T1, T2, T3, T4.
- A 5MHz cada T-state dura 200 nseg, y el ciclo de bus ocupa 800 nseg.
- Es un bus semi-síncrono, y permite insertar estados de espera denominados *Twaits* para acceder a memorias o dispositivos de E/S lentos.

Ciclo de lectura (simplificado)



Ciclo de escritura (simplificado)



Ciclo de bus

Ciclo de bus

- T1: Address, ALE, DT/R, M/IO.

Ciclo de bus

- T1: Address, ALE, DT/R, M/IO.
- T2: DEN, y RD o WR y los datos en el bus. Al final de T2 se muestrea READY

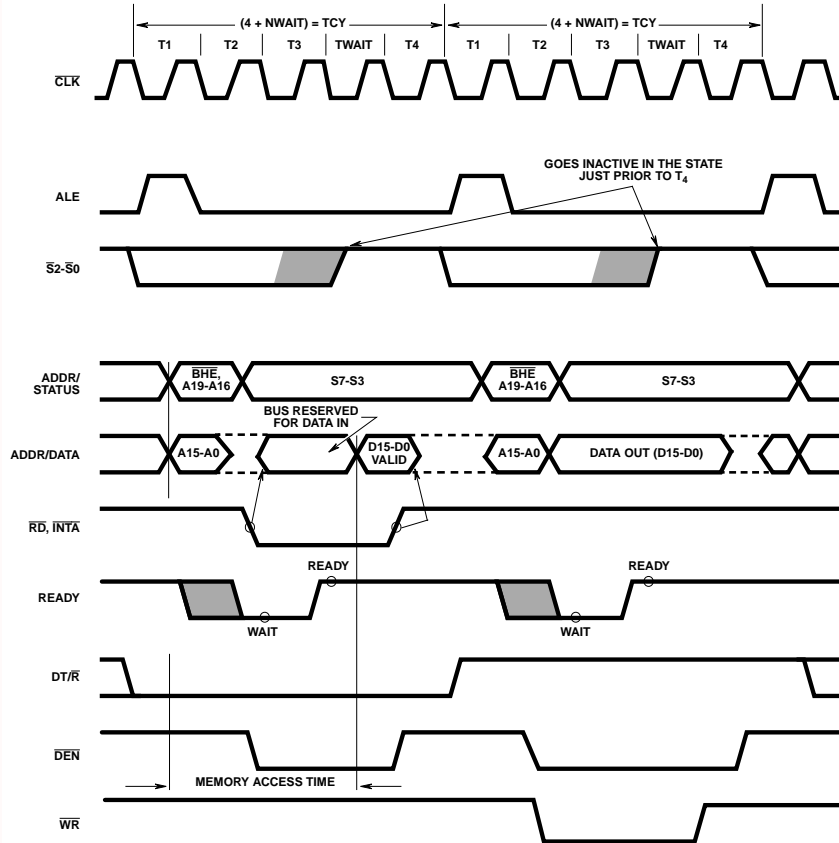
Ciclo de bus

- T1: Address, ALE, DT/R, M/IO.
- T2: DEN, y RD o WR y los datos en el bus. Al final de T2 se muestrea READY
- T3: Si es un ciclo de lectura, el bus de datos se muestrea al finalizar T3

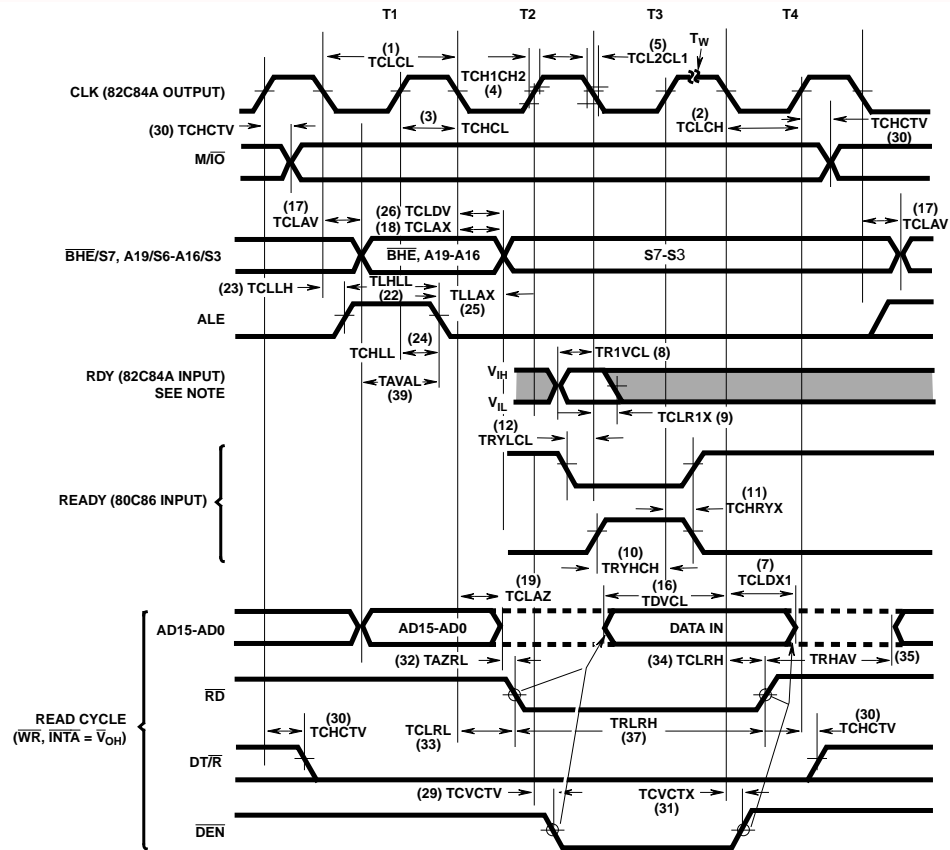
Ciclo de bus

- T1: Address, ALE, DT/R, M/IO.
- T2: DEN, y RD o WR y los datos en el bus. Al final de T2 se muestrea READY
- T3: Si es un ciclo de lectura, el bus de datos se muestrea al finalizar T3
- T4: Si es un ciclo de escritura, los datos se transfieren en el flanco de subida de WR. Además, se desactivan todas las señales en preparación para el ciclo siguiente.

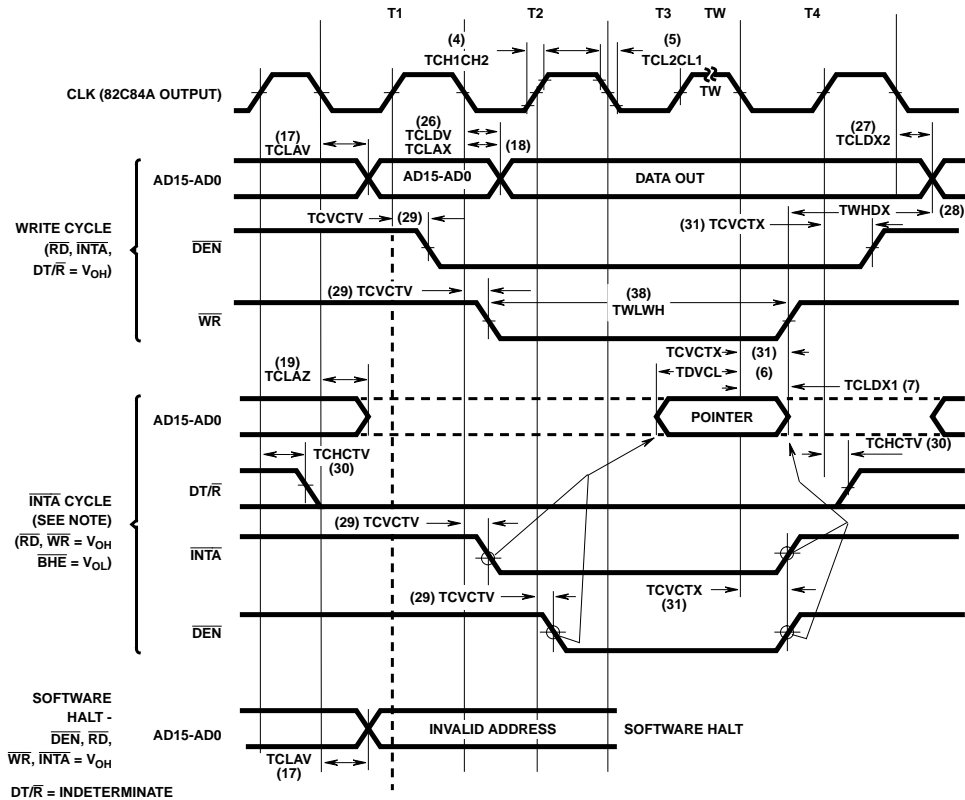
Temporización del bus



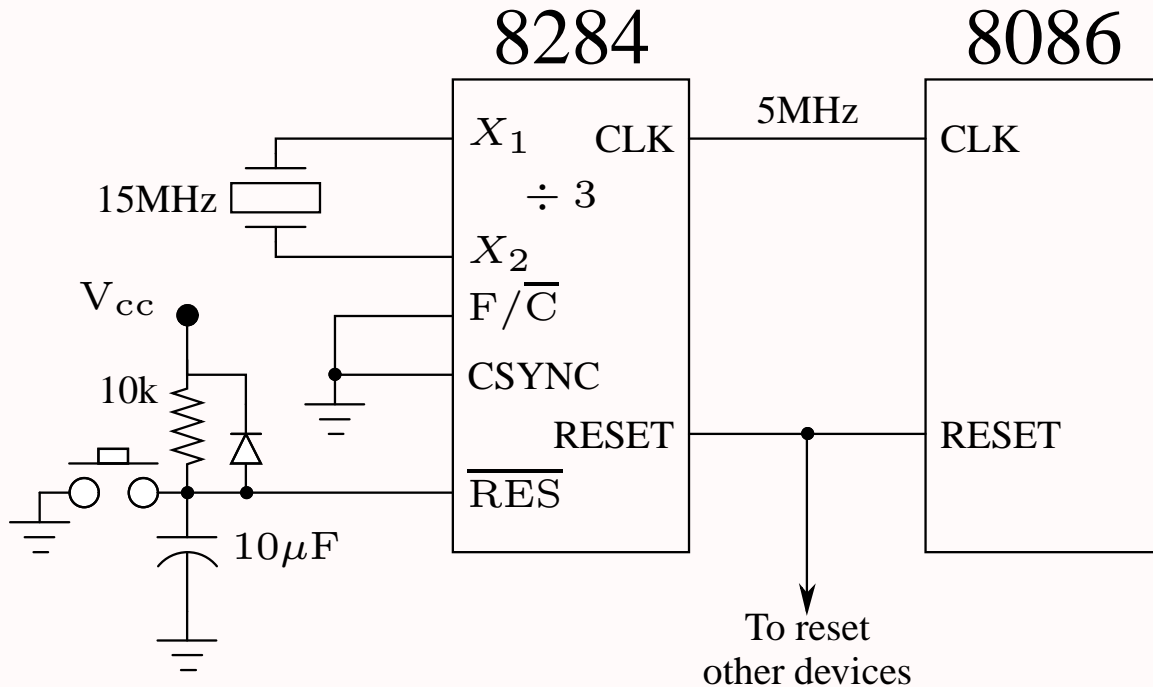
Ciclo de lectura



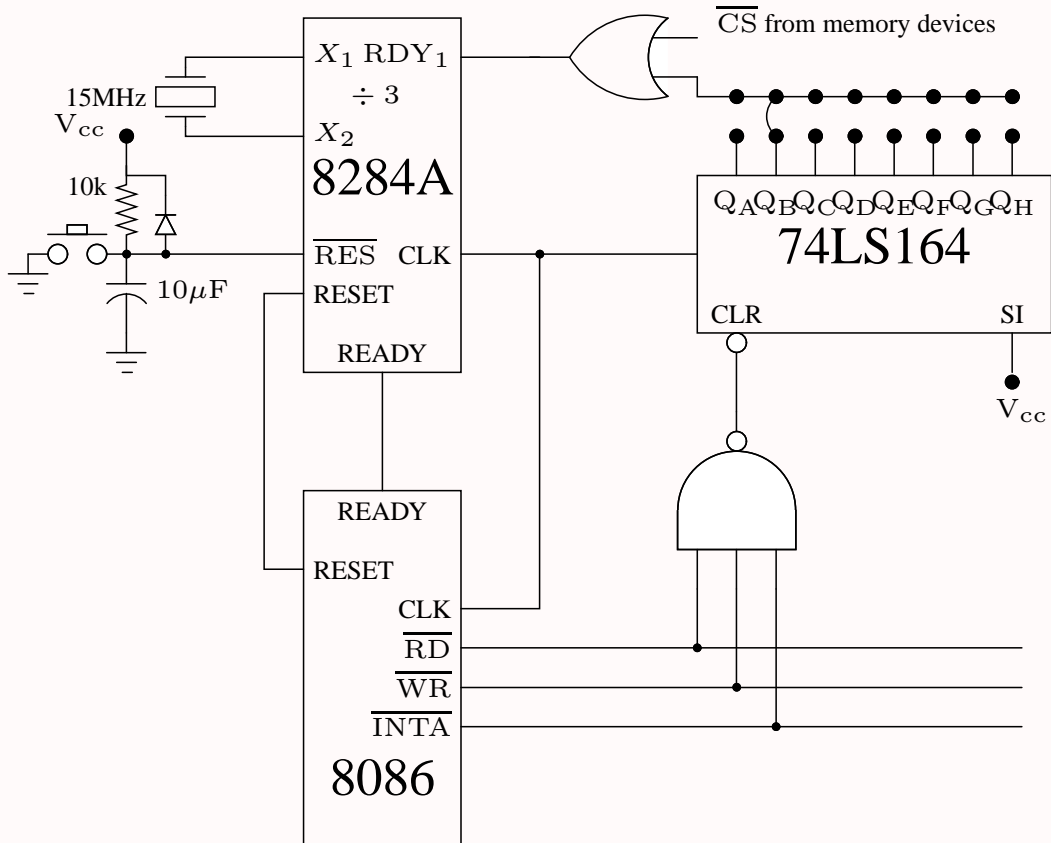
Ciclo de escritura



EI 8284A



EI 8284A



¿Preguntas?